

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-36797
(P2000-36797A)

(43)公開日 平成12年2月2日(2000.2.2)

(51)Int.Cl. ⁷	識別記号	F I	テームト(参考)
H 0 4 J 3/00		H 0 4 J 3/00	U 5 K 0 2 8
	3/06	3/06	Z 5 K 0 3 0
H 0 4 L 12/56		H 0 4 L 11/20	1 0 2 F

審査請求 有 請求項の数 6 O L (全 12 頁)

(21)出願番号 特願平10-203589

(22)出願日 平成10年7月17日(1998.7.17)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 松田 修

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100070219

弁理士 若林 忠 (外4名)

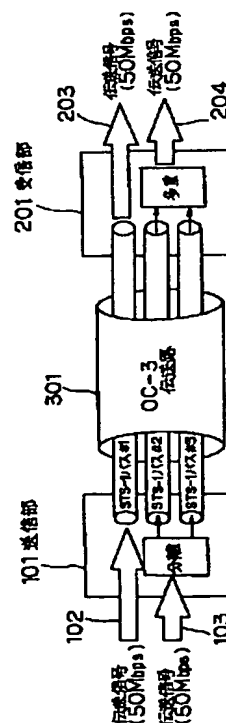
Fターム(参考) 5K028 AA06 AA11 BB08 KK01 KK03
KK32 NN59 SS24
5K030 GA01 HA08 JA01 JA05 JL03
JL10

(54)【発明の名称】 マルチリンク多重化伝送装置およびマルチリンク多重化伝送方法

(57)【要約】

【課題】 様々な伝送速度の信号を伝送帯域を無駄にすることなく効率的な伝送を行うとともに多重化伝送を行うための特別な装置を外部に必要としない。

【解決手段】 送信部101では、100Mbpsの伝送信号103を分離して50Mbpsの2つの信号に分離し、50Mbpsの伝送信号102とともにSTS-1信号にマッピングした後に多重化してOC-3信号とする。OC-3信号はOC-3伝送路301を介して受信部201に伝送される。受信部201では、OC-3信号は3つのSTS-1信号に分離された後に、パス#2、3を介して伝送された2つのSTS-1信号が多重化されて100Mbpsの伝送信号204が復元される。



【特許請求の範囲】

【請求項1】 第1の伝送信号を、前記第1の伝送信号の伝送速度の $1/N$ の伝送速度のN個の伝送信号に分離している $1:N$ 分離回路と、前記 $1:N$ 分離回路によって分離されたN個の伝送信号および該伝送信号と同じ伝送速度の1つ以上の第2の伝送信号をそれぞれ定められたフォーマットの伝送パスにマッピングする複数のマッピング回路と、前記各マッピング回路からの信号を多重化して伝送路に出力している多重化回路とから構成されている送信部と、

前記伝送路を介して伝送された信号を多重化される前の複数の信号に分離している分離回路と、前記分離回路によって分離されたそれぞれの信号からそのペイロードにマッピングされている伝送信号を取り出して出力している複数のデマッピング回路と、前記デマッピング回路のうちの第1の伝送信号を分離した信号に対応した複数のデマッピング回路から出力された伝送信号を一旦記憶するための複数のメモリと、前記複数のデマッピング回路のうちの第1の伝送信号を分離した信号に対応した複数のデマッピング回路から出力されたパストレース信号の繰り返しパターンに基づいて前記メモリから出力されるそれぞれの伝送信号間の同期の制御を行なっている相互同期回路と、前記複数のメモリから出力されたそれぞれの伝送信号の多重化を行なっている $N:1$ 多重化回路とから構成されている受信部と、

から構成されているマルチリンク多重化伝送装置。

【請求項2】 前記送信部における各マッピング回路が、入力された伝送信号をSONET規格のSTS-1信号のペイロードにマッピングするSTS-1マッピング回路であり、

前記送信部における多重化回路が、STS-1信号をOC-3信号に多重化するOC-3多重化回路であり、

前記受信部における分離回路が、OC-3信号をSTS-1信号に分離するOC-3分離回路であり、

前記受信部におけるデマッピング回路が、前記各STS-1信号からそのペイロードにマッピングされている伝送信号を取り出すSTS-1デマッピング回路である請求項1記載のマルチリンク多重化伝送装置。

【請求項3】 前記伝送路を介して伝送される伝送信号が、SONET標準で定められたバーチャル・トリビュタリ信号である請求項1記載のマルチリンク多重化伝送装置。

【請求項4】 前記受信部における各メモリが、FIFOメモリである請求項1から3のいずれか1項記載のマルチリンク多重化伝送装置。

【請求項5】 第1の伝送信号と、前記第1の伝送信号の伝送速度の $1/N$ の伝送速度の第2の伝送信号とを多重化して1つの伝送路を介して伝送するためのマルチリンク多重化伝送方法であって、

前記第1の伝送信号を分離して前記第2の伝送信号と同

じ伝送速度のN個の伝送信号とし、

前記第1の伝送信号を分離したN個の伝送信号と前記第2の伝送信号をそれぞれ定められたフォーマットの伝送パスにマッピングした後に多重化して前記伝送路に出力し、

前記伝送路を介して伝送された信号を多重化される前の複数の信号に分離し、

分離された前記複数の信号からそのペイロードにマッピングされている伝送信号を取り出し、

デマッピングされた前記複数の伝送信号のうち、前記第1の伝送信号を分離した信号に対応したN個の伝送信号を一旦記憶し、

デマッピングされた前記複数の伝送信号のうち、前記第1の伝送信号を分離した信号に対応したN個の伝送信号に含まれているパストレース信号の繰り返しパターンに基づいて、記憶されている前記各伝送信号間の同期を制御して出力し、

一旦記憶されてから出力されたN個の前記各伝送信号を多重化して1つの伝送信号とするマルチリンク多重化伝送方法

【請求項6】 前記定められたフォーマットの伝送信号が、SONET規格のSTS-1信号であり、該STS-1信号を多重化した信号がOC-3信号である請求項5記載の多重化伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、北米における光伝送網に関する規格であるSONET(Synchronous Optical Network)標準あるいは光伝送網の国際規格であるSDH(Synchronous Digital Hierarchy)標準のどちらか一方あるいは双方に準拠する多重化伝送装置に関し、送信元の多重化伝送装置に入力された単一の信号を複数の伝送パスに分解して伝送し、送信先の多重化伝送装置において複数の伝送パスから受信した信号を単一の信号に復元することにより信号伝送を行なう装置に関する。

【0002】

【従来の技術】以下の記述においては、SONET標準の用語を用いて発明の内容を説明する。SDH標準とSONET標準の違いは、相互の用語が異なることおよび多重化フォーマットが若干異なることであり、本発明に関わる部分には相違がないため、本発明はSDH標準に準拠する装置にも適用可能である。SONET標準は、ベル・コミュニケーション・リサーチ社(Bell Communication Research)発行“シンクロナス・オプティカル・ネットワーク・トランスポート・システムズ：コモン・ジェネリック・クライテリア(Synchronous Optical Network(SONET) Transport Systems: Common Generic Criteria”、GR-253-CORE, Issue 2)において規定される。

【0003】高速信号としてその使用がSONET標準

において定められた回線速度は51.84Mbps(OC-1)、155.52Mbps(OC-3)、622.08Mbps(OC-12)という段階的な固定された信号である。なお、括弧内に示した記号はそれぞれの信号速度の名称である。

【0004】図11にSONET規格におけるOC-3信号のフォーマットを示す。OC-3信号のフォーマットでは、125μsecを1つのフレームとし、その間に2430(=9×270)バイトの信号が多重化される。したがって、OC-3信号の伝送速度は155.52Mbpsとなる。また、1つのフレームには、270バイト毎にサブフレームが構成されている。そして、このサブフレームの先頭9列は伝送管理目的に使用されるトランスポートオーバーヘッド(transport overhead)と定義され、残りの261列は伝送パスを多重化するシンクロナスペイロードエンベロープ(Synchronous Payload Envelope)として定義されている。

【0005】伝送信号としてOC-3信号を用いる従来

列	名前	使用目的
第1列	J1	パストレース(Path Trace)
第2列	B3	ビット・インターリーブド・パリティ(Bit Interleaved Parity)
第3列	C2	シグナル・ラベル(Signal Label)
第4列	G1	パス・ステータス(Path Status)
第5列	F2	ユーザ・チャネル(User Channel)
第6列	H4	インディケータ(Indicator)
第7列	Z3	グロース(Growth)
第8列	Z4	グロース(Growth)
第9列	Z5	タンデム・コネクション(Tandem Connection)

第7列のZ3と第8列のZ4は現段階では未定義であるが、将来新たな使用方法が定義される可能性があるため、特定の装置において独自の使用方法を導入することは許されない。つまり、パスオーバーヘッドにマルチリンクを実現するための手段を導入することは許容されていないので、既存のオーバーヘッドを利用する手段が必要となる。

【0008】OC-3伝送路を介してSTS-1信号の伝送を行う従来の多重化伝送装置を図13に示す。

【0009】この従来の多重化伝送装置は、図13に示すように、送信部1101と、OC-3伝送路301と、受信部1201とから構成されている。

【0010】この従来の多重化伝送装置は、伝送速度が50Mbpsの3つの伝送信号1102～1104を送信部1101において多重化して1つの伝送信号とし、その多重化した伝送信号をOC-3伝送路301を介して受信部1201に伝送し、受信部1201において元の50Mbpsの伝送信号1202～1204に分離するものである。

【0011】また、送信部1101は、図14に示すように、STS-1マッピング回路107～109と、パストレース挿入回路106と、OC-3多重化回路110とから構成されている。

の伝送装置では、扱うことができる伝送信号はSTS-1信号とSTS-3c信号に限定されている。なお、STS-3c信号とは3つのSTS-1信号を結合した信号を表す。

【0006】図12にSONETの伝送パスの一つであるSTS-1パスのフォーマットを示す。STS-1信号は、87列×9行の信号により構成されていて、第1列目がパスオーバーヘッドとして定義されている。そして、残りの86列には伝送対象となる信号がマッピングされる。このSTS-1信号を3個多重化するとOC-3のシンクロナスペイロードエンベロープに適合して伝送できるようになる。9バイトのパスオーバーヘッドバイトには下記の表1に示す固有の名前と使用目的が定義されており、この標準に従わない使用方法是許されていない。

【0007】

【表1】

【0012】STS-1マッピング回路107～109は、それぞれ入力した伝送信号1102～1104をSONET標準における伝送パスであるSTS-1信号のペイロードにマッピングしている。

【0013】パストレース挿入回路106は、STS-1マッピング回路107～109にそれぞれパストレース信号を供給している。

【0014】パストレース信号とは、SONETの伝送パスに付加することが規定されている信号であり、64バイトあるいは16バイトの繰り返しパターンによって構成されている。そして、パストレース信号にはさらに、その繰り返しの境界を識別することができるパターンを挿入することが規定されている。

【0015】なお、パストレースの処理方式の従来例についての説明は、特開平7-327021号公報の“パストレースバイト収集回路”に記載されている。

【0016】OC-3多重化回路110は、STS-1マッピング回路107～109からのSTS-1信号を多重化してOC-3信号を生成してOC-3伝送路301に出力している。

【0017】また、受信部1201は、図15に示すように、OC-3分離回路205と、STS-1デマッピング回路206～208と、パストレース検出回路20

9とから構成されている。

【0018】OC-3分離回路205は、OC-3伝送路301を介して伝達されたOC-3信号を終端し、そのOC-3信号に含まれている3つのSTS-1信号をそれぞれ分離して取り出している。

【0019】STS-1デマッピング回路206~208は、OC-3分離回路205において分離されたそれぞれのSTS-1信号からそのペイロードにマッピングされている伝送信号を取り出して出力している。

【0020】パストレース検出回路209は、STS-1デマッピング回路206~208から出力されたSTS-1信号に含まれているパストレース信号の検出を行っている。

【0021】この従来の多重化伝送装置の送信部では複数の信号速度の低い信号を単一の信号速度の高い信号に多重化していた。この多重化によって、多数の低速信号を多数の信号線を使って伝送する必要がなくなり、伝送システムの簡素化、低コスト化を実現することができた。

【0022】しかし、この従来の多重化伝送装置では、図13に示すように、3つのSTS-1信号が別々に扱われるため、この従来の多重化伝送装置で伝送することができる最大伝送速度はSTS-1信号の伝送速度である約50Mbpsに限定される。

【0023】次に、OC-3伝送路を介してSTS-3c信号の伝送を行う従来の多重化伝送装置を図16に示す。

【0024】この従来の多重化伝送装置は、図16に示すように、送信部1602と、OC-3伝送路301と、受信部1603とから構成されている。

【0025】尚、図16では100Mbpsの伝送信号1501をOC-3伝送路301を介したSTS-3cパスにより伝送する場合を示している。

【0026】送信部1602は、図17に示すように、パストレース挿入回路106と、STS-3cマッピング回路1403と、OC-3多重化回路110とから構成されている。

【0027】STS-3cマッピング回路1403は、入力した伝送信号1501をSONET標準における伝送パスであるSTS-3c信号のペイロードにマッピングしている。

【0028】また、受信部1603は、図18に示すように、OC-3分離回路205と、STS-3cデマッピング回路1503と、パストレース検出回路209とから構成されている。

【0029】STS-3cデマッピング回路1503は、OC-3分離回路205において分離されたSTS-3c信号からそのペイロードにマッピングされている伝送信号を取り出して出力している。

【0030】この従来の伝送装置では、図16に示すよ

うに、1つの伝送速度が155.52MbpsであるSTS-3c信号のみを伝送することができるため、例えば、約100Mbpsの信号を伝送する場合には残りの約50Mbps部分では何も伝送しておらず、伝送路の使用効率が低下してしまっている。

【0031】また、マルチリンクを使用してパケット通信を行なう従来例として、特開昭60-29083号公報に記載された発明である“マルチリンクパケット通信方式”がある。この従来例では、送受間でパケットの送受を行なう場合に、複数のリンクを使用し、パケット長に対応して使用するリンクを選択する方法が述べられている。しかしこの従来例ではパケット長を認識し、順序番号を付加しながら選択したリンクにパケットを送出する送信部と、パケット順序が狂わないように順序番号にしたがって多重化する受信部を伝送装置の外部に設ける必要がある。

【0032】

【発明が解決しようとする課題】上述した従来の多重化伝送装置では、下記のような問題点があった。

(1) 多重化することができる伝送パスの組み合わせが限定されているため、伝送信号の伝送速度によっては、伝送帯域を無駄にしまい伝送効率を劣化させていた。

(2) マルチリンクパケットの送受信を行うためには、伝送パス間の遅延を制御するための装置を外部に必要とする。

【0033】本発明の目的は、様々な伝送速度の信号を伝送帯域を無駄にすることなく効率的な伝送を行うとともに多重化伝送を行うための特別な装置を外部に必要としない多重化伝送装置を提供することである。

【0034】

【課題を解決するための手段】上記目的を達成するために、本発明のマルチリンク多重化伝送装置は、第1の伝送信号を、前記第1の伝送信号の伝送速度の $1/N$ の伝送速度のN個の伝送信号に分離している1:N分離回路と、前記1:N分離回路によって分離されたN個の伝送信号および該伝送信号と同じ伝送速度の1つ以上の第2の伝送信号をそれぞれ定められたフォーマットの伝送パスにマッピングする複数のマッピング回路と、前記各マッピング回路からの信号を多重化して伝送路に出力している多重化回路とから構成されている送信部と、前記伝送路を介して伝送された信号を多重化される前の複数の信号に分離している分離回路と、前記分離回路によって分離されたそれぞれの信号からそのペイロードにマッピングされている伝送信号を取り出して出力している複数のデマッピング回路と、前記デマッピング回路のうちの第1の伝送信号を分離した信号に対応した複数のデマッピング回路から出力された伝送信号を一旦記憶するための複数のメモリと、前記複数のデマッピング回路のうちの第1の伝送信号を分離した信号に対応した複数のデマッ

ピング回路から出力されたパストレース信号の繰り返しパターンに基づいて前記メモリから出力されるそれぞれの伝送信号間の同期の制御を行なっている相互同期回路と、前記複数のメモリから出力されたそれぞれの伝送信号の多重化を行なっているN：1多重化回路とから構成されている受信部とから構成されている。

【0035】本発明は、送信部では、第1の伝送信号を1：N分離回路によりN個の信号に分離した後に第2の伝送信号とともに多重化して受信部に伝送する。そして、受信部では、複数の信号に分離した後に第1の伝送信号を分離したそれぞれの信号を一旦メモリに記憶させ、相互同期回路によりパストレース信号の繰り返しパターンを利用してそれぞれの伝送パスの遅延差を検出し、その遅延差を補償するようにしてからN：1多重化回路によって多重化を行ない第1の伝送信号を復元するようにしたものである。

【0036】したがって、SONET標準で定められた伝送パスを組み合わせて任意の伝送容量を持つマルチリンクを構成することができるため、伝送帯域を無駄にすることなく伝送路を使用することができ、効率的な伝送システムを提供することができる。

【0037】また、パストレースバイトを使用して各伝送パス間の遅延を制御するため、伝送パス間の遅延を制御するための装置を外部に必要としなくなるためマルチリンク多重化伝送装置を小型化することができる。

【0038】さらに、標準において既に定義されているパストレース信号を伝送パス間の同期を確立する手段として利用しているため、伝送パス間の同期をとるための特別の信号を追加する必要がないので、既存の装置あるいは将来導入される装置との接続が容易となる。

【0039】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して詳細に説明する。

【0040】図1は本発明の第1の実施形態の多重化伝送装置の構成を示したブロック図、図2は図1中の送信部101の構成を示したブロック図、図3は図1中の受信部201の構成を示したブロック図である。図14、15中と同番号は同じ構成要素を示す。

【0041】本実施形態の多重化伝送装置は、図1に示すように、送信部101と、OC-3伝送路301と、受信部201とから構成されている。

【0042】送信部101は、図14の従来の多重化伝送装置における送信部1101に対して、1：2分離回路105が新たに設けられたものである。

【0043】1：2分離回路105は、伝送速度が100Mbpsの伝送信号103を、伝送速度が50Mbpsの2つの伝送信号に分離している。

【0044】受信部201は、図15の従来の多重化伝送装置における受信部1201に対して、FIFO(First In First Out)メモリ210、211と、相互同期回

路212と、2：1多重化回路213が新たに設けられたものである。

【0045】FIFOメモリ210、211は、相互同期回路212により制御され、STS-1デマッピング回路207、208からの出力信号間の位相を合わせている。

【0046】相互同期回路212は、パストレース信号に含まれている固定パターンを検出しFIFOメモリ210、211の読み出し位相を制御することによりバイト単位の同期を実現している。

【0047】2：1多重化回路213は、FIFOメモリ210、211から出力された2つの伝送信号をバイト単位で多重化し伝送信号204として出力している。

【0048】次に、本実施形態の動作について図面を参照して詳細に説明する。

【0049】まず、送信部101では、伝送速度が50Mbpsの転送信号102はSTS-1マッピング回路107によりSTS-1パス#1にマッピングされる。そして、伝送速度が100Mbpsの伝送信号103は、1：2分離回路105において、伝送速度が50Mbpsの2つの伝送信号に分離され、それぞれの信号はSTS-マッピング回路108、109により各々が独立したSTS-1パス#2、#3にマッピングされる。そして、3つのSTS-1パス#1、#2、#3は、OC-3多重化回路110において1つのOC-3信号に多重化されOC-3伝送路301に出力される。

【0050】次に、送信部101における多重化動作の詳細を図4～図6を参照して説明する。

【0051】図4は転送信号102、103の構成を示した図、図5は伝送信号102、103を多重化することにより得られたOC-3信号のフォーマットを示した図である。

【0052】図4におけるA1、A2、A3・・・およびB1、B2、B3・・・という記号は伝送信号102、103にそれぞれ含まれている時系列に従った1バイトずつの信号を示している。伝送信号102は、伝送速度が50Mbpsの信号であり、伝送信号103は伝送速度が100Mbpsの信号であるため、伝送信号102の1バイト分の時間に伝送信号103の2バイトが含まれている。

【0053】この2つの伝送信号102、103を送信部101において多重化することにより得られたOC-3信号を図5に示す。3つのSTS-1パス#1、#2、#3にそれぞれ属している1バイト単位の信号には、それぞれ#1、#2、#3を付して区別する。トランスポートオーバーヘッド部のH1、H2バイトはポイントバイトとよばれ、シンクロナス・ペイロード・エンベロープ内に多重化されたSTS-1パスの先頭バイトすなわちJ1バイトの位置を示している。

【0054】図5に示すように、STS-1パス#1の

J1バイトの次にはA1、STS-1パス#2のJ1バイトの次にはB1、STS-1パス#3のJ1バイトの次にはB2というように多重化される。

【0055】図6にポインタバイト(H1、H2)と、パストレースバイト(J1)の関係を示す。

【0056】次に、受信部201の動作について説明する。受信部201では、STS-1パス#1から第1の伝送対象信号である約50Mbpsの信号を取り出し、STS-1#2、#3パスから取り出した信号を多重化して第2の伝送対象信号を取り出す。

【0057】まず、それぞれのSTS-1パス#1～#3間において伝送遅延が無い場合における、STS-1デマッピング回路207、208の出力信号と、伝送信号204の関係を図7(a)、図7(b)、図7(c)のタイミングチャートを用いて説明する。

【0058】このような場合には、STS-1デマッピング回路207の出力信号とSTS-1デマッピング回路207の出力信号はそれぞれ1バイト毎に出力されるため、それらの出力信号を単純に多重化することにより元の伝送信号103と同じ信号を復元することができる。

【0059】しかし、一般にOC-3伝送路301内のSTS-1パス#1、#2、#3はそれぞれ独立した伝送パスとして扱われるため、それぞれの伝送パスにおける遅延時間は一定ではない。例えば、図8に示すように、STS-1パス#1は、始点ノード701、中間ノード702、703、704、終点ノード706を介して受信部に伝達され、STS-1パス#2は始点ノード701、中間ノード705、終点ノード706を介して受信部に伝達されるような場合が発生することがある。このようにSTS-1パス#1の経由する中間ノードの数がSTS-1パス#2の経由する中間ノードの数よりも多い場合には、STS-1パス#1の遅延時間はSTS-1パス#2の遅延時間よりも長くなってしまう。

【0060】このように異なる伝送パスを介して伝達されるSTS-1信号の遅延時間は、それぞれ異なってしまうため、受信部でのOC-3信号内のJ1バイトの位置は図9に示すようにフレーム内に分散することになる。

【0061】そのため、受信部201では、STS-1パス#2とSTS-1パス#3からの信号を単純に多重化するのみでは元の転送信号103を復元することはできない。そのため、このよう位相がずれてしまった信号の元の転送信号として復元するための操作が必要となる。そして、この操作を行なうための手段が、図3におけるFIFOメモリ210、211と、相互同期回路212である。

【0062】この相互同期回路212が行なっている制御を図10を用いて説明する。

【0063】この図10では、STS-1デマッピング

回路207、208から出力されるそれぞれの信号の位相がずれていない場合の図7と比較して、STS-1デマッピング回路208の出力信号が、STS-1デマッピング回路207の出力よりもある遅れてしまった場合を示している。この図10においてパストレース信号には繰り返しの境界を示す信号が多重化されているため、その信号を網かけで示している。

【0064】このような場合には、相互同期回路212は、STS-1パス#2およびSTS-1パス#3のJ1バイトの位相とその内容とを使って、J1バイトの位相がSTS-1パス#2とSTS-1パス#3とで一致するように、かつ、J1の境界を示す信号の位相が揃うようにFIFOメモリ210、211の読みだしタイミングを操作する。これにより、異なる伝送遅延を受ける伝送パスを使用して伝送された信号を多重化して伝送対象信号を復元することができる。

【0065】上記で説明したように複数のSTS-1信号を、複数の伝送リンクとして用いたものをマルチリンクと定義する。そして、伝送信号をマルチリンクを用いて多重化して伝送する装置をマルチリンク多重化伝送装置という。

(第2の実施形態)次に、本発明の第2の実施形態のマルチリンク多重化伝送装置について説明する。

【0066】上記第1の実施形態では、伝送パスとしてSTS-1信号が用いられていたが、本発明の第2の実施形態のマルチリンク多重化伝送装置では、伝送パスとしてバーチャル・トリビュタリ(Virtual Tributary)信号が用いられる。SONETにおけるバーチャル・トリビュタリ信号は約1.5Mbps(VT-1.5)、約2Mbps(VT-2)、約3Mbps(VT-3)、約6Mbps(VT-6)の4種類が定義されているため、STS-1信号を用いる場合よりもさらに細かい単位で伝送容量を設定することが可能となる。

(第3の実施形態)次に、本発明の第3の実施形態のマルチリンク多重化伝送装置について説明する。

【0067】上記第1の実施形態では、伝送装置間の伝送路としてOC-3の伝送速度の伝送路が使用されていたが、本発明の第3の実施形態のマルチリンク多重化伝送装置では、伝送装置間の伝送路としてOC-3以上の伝送速度を持つ伝送路が使用される。例えば、伝送速度としてOC-12(622.08Mbps)を使用する場合には12個のSTS-1が多重化されるため、マルチリンクとするSTS-1パスを1～12まで選択することにより、約50Mbpsから約600Mbpsまでの伝送速度を約50Mbps単位で選択できるようになる。また、1本のOC-12中に複数のマルチリンクを設定することにより、例えば、約200Mbpsの伝送対象信号を3本伝送することも可能となる。

【0068】上記第1～第3の実施形態の多重化伝送装置において生成されるSONET信号は既存の標準に従

ったものであるため、一般に使用されている既存のSONET伝送装置でも問題なく伝送することができる。そのため、送信部と受信部の間に、一般に使用されているSONET伝送装置を挿入してネットワークを構成することができる。

【0069】

【発明の効果】以上説明したように、本発明は、下記のような効果を有する。

(1) SONET標準で定められた伝送パスを組み合わせ任意の伝送容量を持つマルチリンクを構成することができるため、伝送帯域を無駄にすることなく伝送路を使用することができ、効率的な伝送システムを提供することができる。

(2) パストレースバイトを使用して各伝送パス間の遅延を制御するため、伝送パス間の遅延を制御するための装置を外部に必要としなくなるためマルチリンク多重化伝送装置を小型化することができる。

(3) 標準において既に定義されているパストレース信号を伝送パス間の同期を確立する手段として利用しているため、伝送パス間の同期をとるための特別の信号を追加する必要がない。そのため、既存の装置あるいは将来導入される装置との接続が容易となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の多重化伝送装置の構成を示したブロック図である。

【図2】図1中の送信部101の構成を示したブロック図である。

【図3】図1中の受信部201の構成を示したブロック図である。

【図4】伝送信号102、103のデータ構成を示した図である。

【図5】伝送信号102、103を多重化することにより得られたOC-3信号のフォーマットを示した図である。

【図6】ポインタバイト(H1、H2)と、パストレースバイト(J1)の関係を示す図である。

【図7】STS-1デマッピング回路207の出力信号(図7(a))、STS-1デマッピング回路208の出力信号(図7(b))、伝送信号204(図7(c))を示したタイミングチャートである。

【図8】異なる経路により発生する遅延時間を説明するための図である。

【図9】異なる伝送パスの間に発生した遅延時間が異なることにフレーム内に分散したJ1バイトの位置を示した図である。

【図10】遅延が発生した場合の、STS-1デマッピング回路207の出力信号(図10(a))、STS-

1デマッピング回路208の出力信号(図10

(b))、伝送信号204(図10(c))を示したタイミングチャートである。

【図11】SONET規格におけるOC-3信号のフォーマットを示す図である。

【図12】STS-1パスのフォーマットを示す図である。

【図13】STS-1信号を伝送するための従来の伝送装置の構成を示したブロック図である。

【図14】図13中の送信部1101の構成を示したブロック図である。

【図15】図13中の受信部1201の構成を示したブロック図である。

【図16】STS-3c信号を伝送するための従来の伝送装置の構成を示したブロック図である。

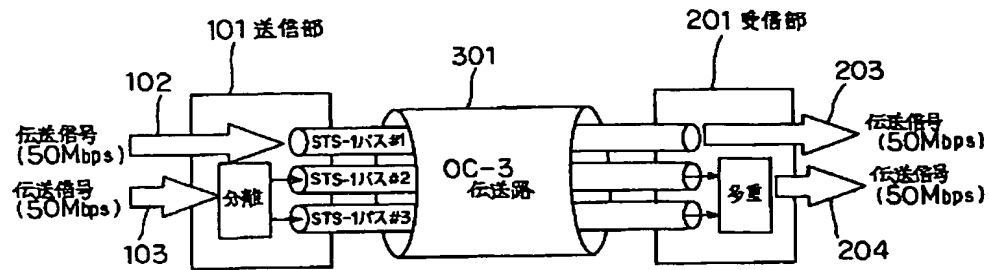
【図17】図16中の送信部1602の構成を示したブロック図である。

【図18】図16中の受信部1603の構成を示したブロック図である。

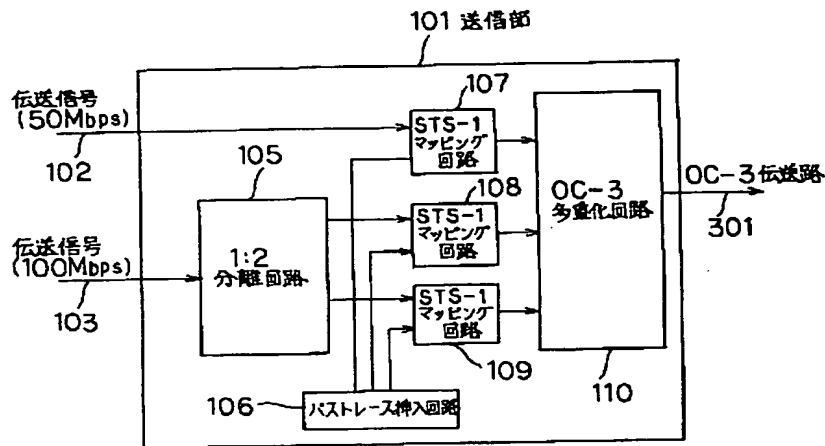
【符号の説明】

102	伝送信号(50Mbps)
103	伝送信号(100Mbps)
105	1:2分離回路
106	パストレース挿入回路
107~109	STS-1マッピング回路
110	OC-3多重化回路
203	伝送信号(50Mbps)
204	伝送信号(100Mbps)
205	OC-3分離回路
206~208	STS-1デマッピング回路
209	パストレース検出回路
210、211	FIFOメモリ
212	相互同期回路
213	2:1多重化回路
301	OC-3伝送路
701	始点ノード
702~705	中間ノード
706	終点ノード
1101	送信部
1102~1104	伝送信号(50Mbps)
1201	受信部
1202~1204	伝送信号(50Mbps)
1403	STS-3cマッピング回路
1501、1502	伝送信号(100Mbps)
1503	STS-3cデマッピング回路
1602	送信部
1603	受信部

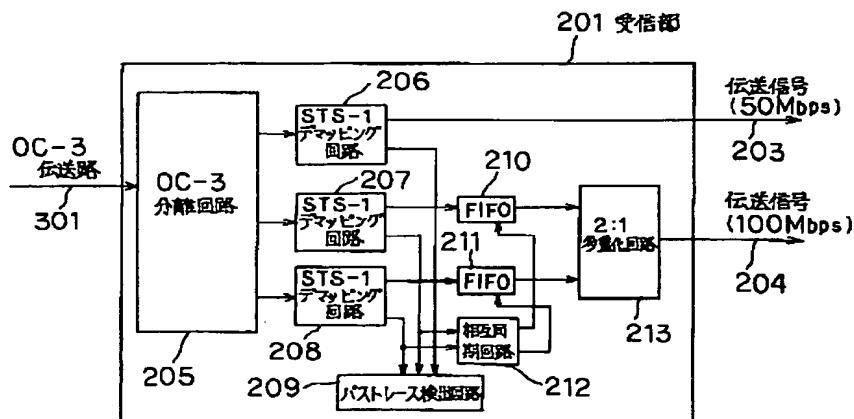
【図1】



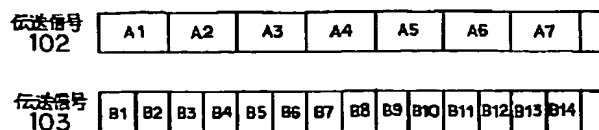
【図2】



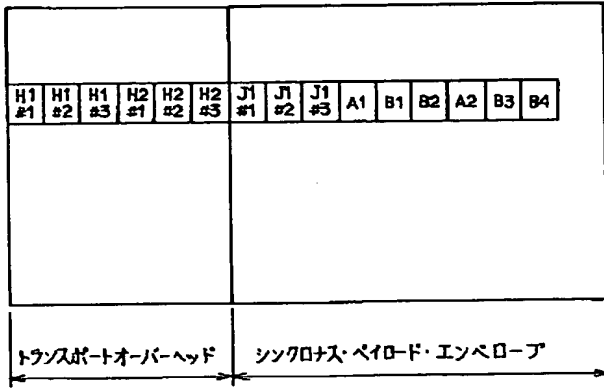
【図3】



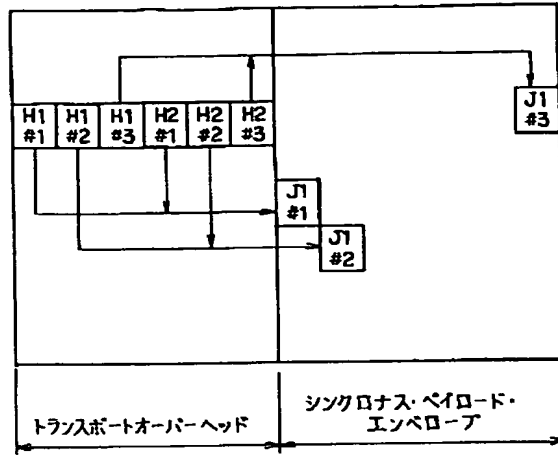
【図4】



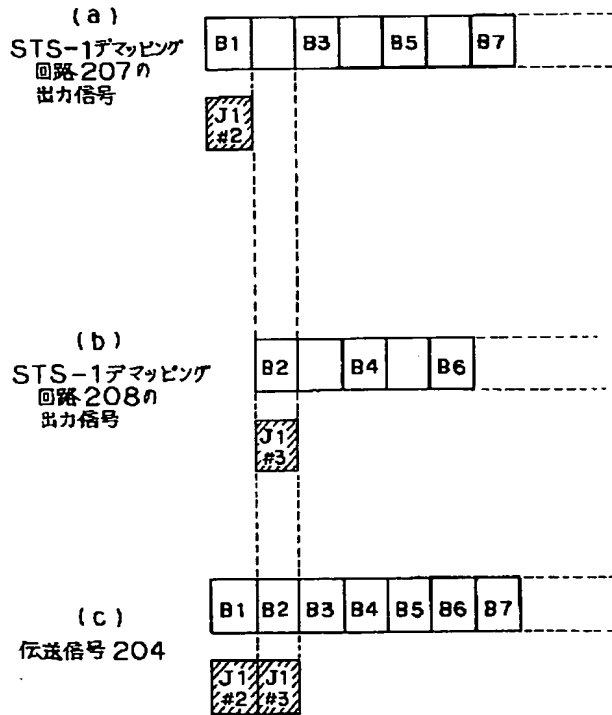
【図 5】



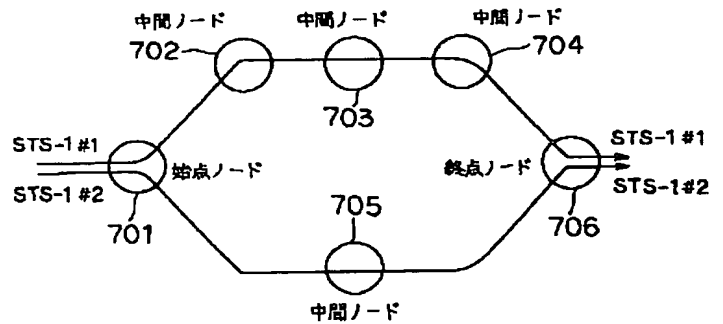
【図 6】



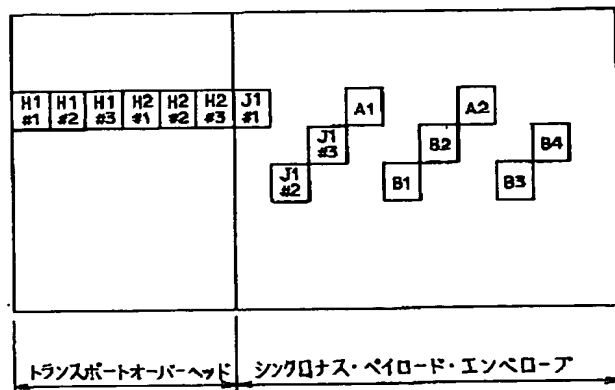
【図 7】



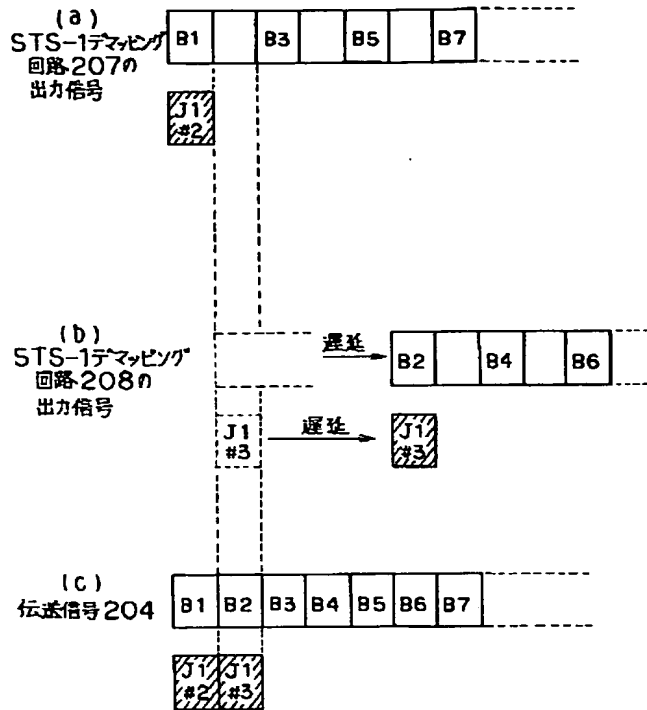
【図 8】



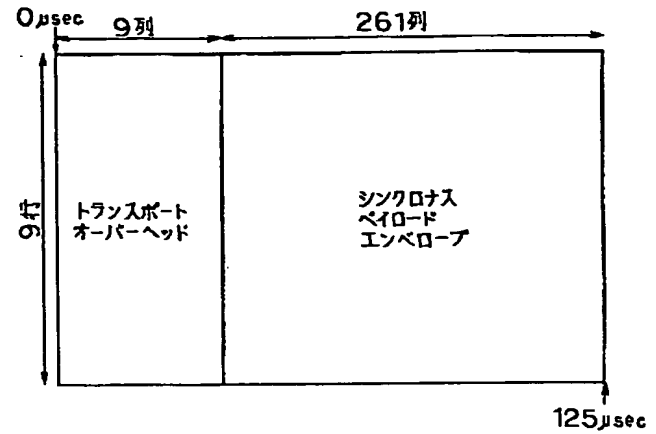
【図 9】



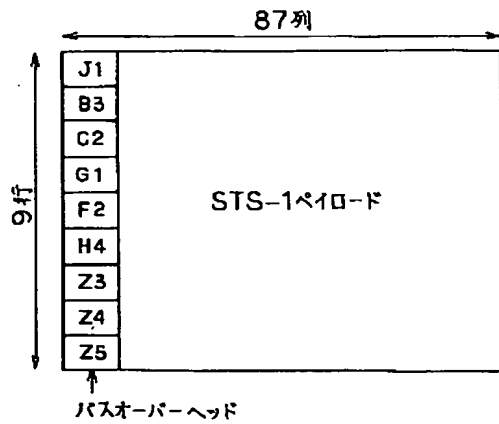
【図10】



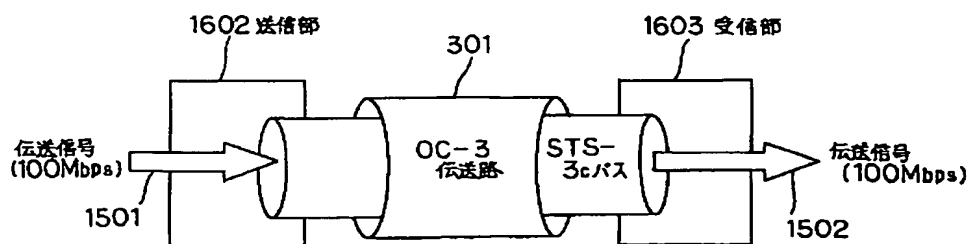
【図11】



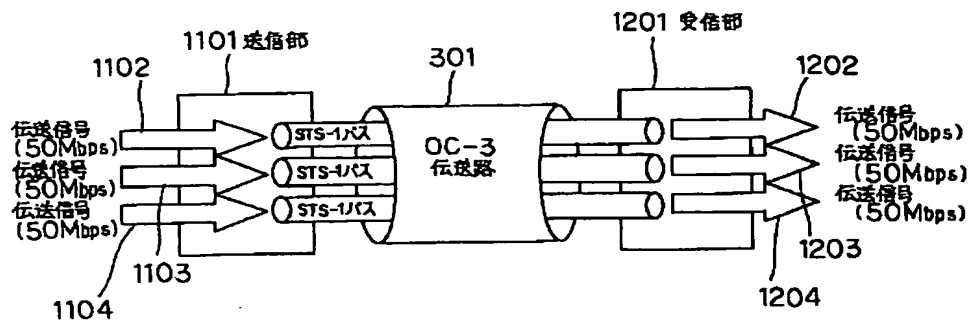
【図12】



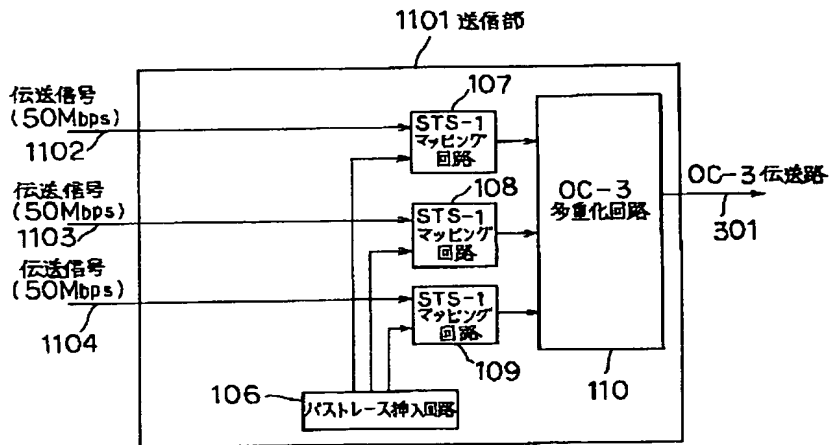
【図16】



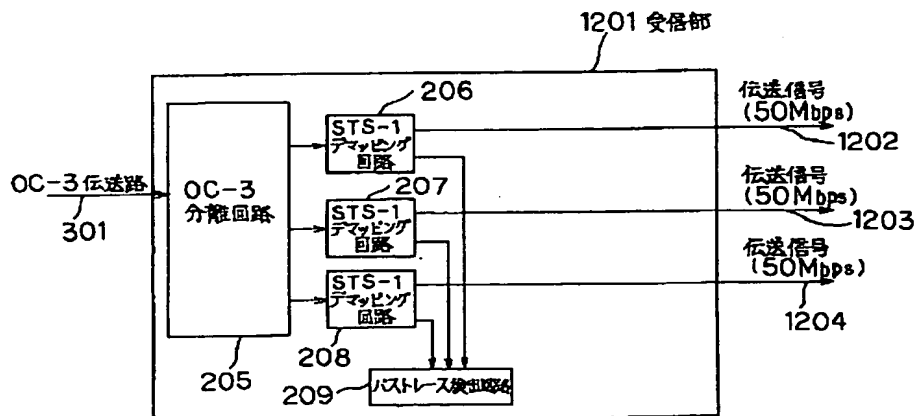
【図13】



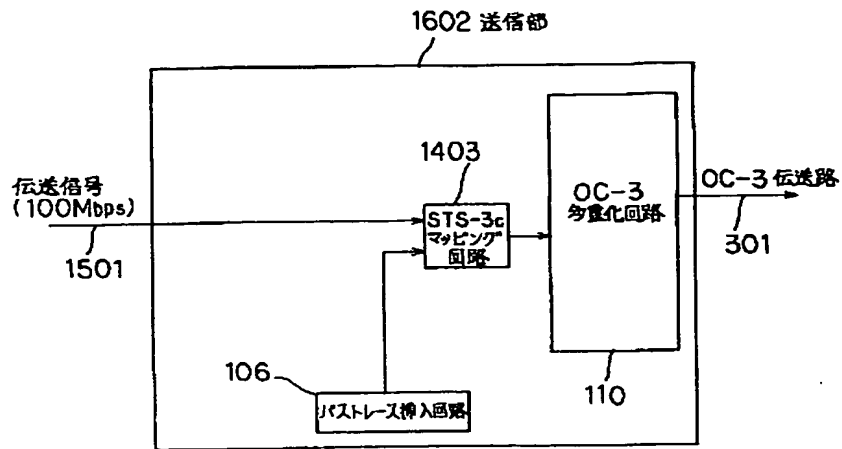
【図14】



【図15】



【図17】



【図18】

